

(11)特許出願公開番号

特開平9-198298

(43)公開日 平成9年(1997)7月31日

(51) IntCL.⁶

G O 6 F 12/00

識別記号

5 7 1

片内整理番号

FI

G O 6 F 12/00

技術表示箇所

5 7 1 A

審査請求 未請求 請求項の数4 O.L (全 9 頁)

(21)出願番号 特願平8-6751

(22)出願日 平成8年(1996)1月18日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 玉谷 光之

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

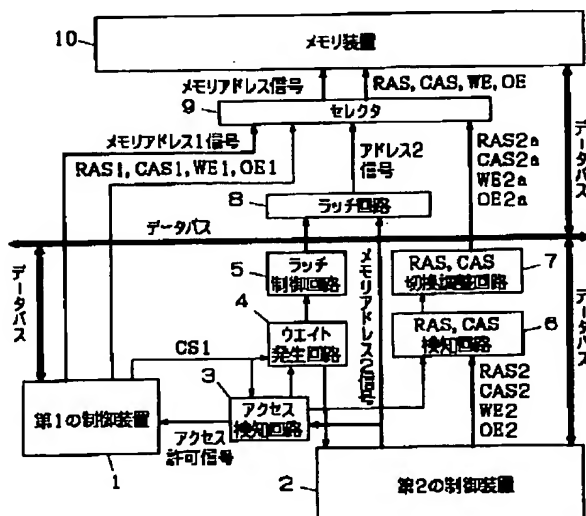
(74) 代理人 弁理士 石井 康夫 (外1名)

(54) 【発明の名称】 メモリ制御装置

(57) 【要約】

【課題】 比較的小規模のラッチ容量で、メモリアクセス競合時でもメモリの読み出し、書き込みともに迅速なメモリアクセスが可能なメモリ制御装置を提供する。

【解決手段】 第1の制御装置1がメモリ装置10をアクセス中に第2の制御装置2がアクセスするとき、アクセス検知回路3を通じて、ウエイト発生回路4から第2の制御装置2に対してウエイトを発生する。同時に第2の制御装置2のRASアドレスをラッチ制御回路5の指示に従い、ラッチ回路8がラッチする。また、第2の制御装置2のRAS2信号とCAS2信号をRAS、CAS検知装置6が検知して、メモリ装置10のリフレッシュカリードもしくはライトかを判断する。第1の制御装置1のメモリアクセス終了後、セクタ9を切り換え、RAS、CAS切換調整回路7にて、第2の制御装置2のアクセスの種別に応じて各制御信号のタイミングを調整してメモリ装置10に送出する。



【特許請求の範囲】

【請求項1】 第1の制御装置と、第2の制御装置と、前記第1の制御装置と前記第2の制御装置により共有される共有メモリ装置と、前記第1および第2の制御装置からの前記共有メモリ装置へのアクセス信号に応じて前記共有メモリ装置のアクセス使用権を制御する調停手段を備えたメモリ制御装置において、前記調停手段は、前記第1の制御装置が前記共有メモリ装置をアクセス中に前記第2の制御装置からメモリアクセス信号が入力されると前記第2の制御装置から送られるアドレスをラッチするラッチ手段と、前記第1の制御装置が前記共有メモリ装置をアクセス中に前記第2の制御装置からアクセス信号が入力されると前記第1の制御装置がアクセス中は前記第2の制御装置に対してウェイトをかけるとともに前記第1の制御装置のアクセス終了後に前記ラッチ手段から前記共有メモリ装置にアドレスを出力し前記第2の制御装置のウェイトを解除する制御手段を有することを特徴とするメモリ制御装置。

【請求項2】 前記共有メモリ装置はDRAMで構成されており、前記第2の制御装置は、前記第1の制御装置に対して優先度の高い前記共有メモリ装置のアクセス使用権を有し、前記調停装置は、前記第2の制御装置が前記共有メモリ装置をアクセスしていないときに前記第1の制御装置のアクセス使用を許可するとともに、前記第1の制御装置が前記共有メモリ装置をアクセスしているときに前記第2の制御装置がアクセスすると前記第1の制御装置のアクセスを終了させるとともに、前記第2の制御装置による前記共有メモリ装置のリードもしくはライトまたはリフレッシュを行なうことを特徴とする請求項1に記載のメモリ制御装置。

【請求項3】 前記共有メモリ装置は、アドレスとしてRASアドレスおよびCASアドレスを用いてアクセスされるものであり、前記ラッチ手段は前記RASアドレスをラッチすることを特徴とする請求項1または2に記載のメモリ制御装置。

【請求項4】 前記調停装置は、前記第1の制御装置が前記共有メモリ装置をアクセス中に前記第2の制御装置からメモリアクセス信号が入力すると前記第2の制御装置から送られるRAS信号およびCAS信号の状態を検知する検知手段と、前記第1の制御装置のアクセス終了後にリフレッシュ時またはリードもしくはライト時に適応したRAS信号およびCAS信号の切り換えを調整する信号切り換え調整手段を有することを特徴とする請求項3に記載のメモリ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CPUと周辺装置とが共通のメモリをアクセスする際に発生するメモリアクセスの競合を制御するメモリ制御装置に関するものである。

【0002】

【従来の技術】 従来、共通のメモリを2つの制御装置がアクセスするときのメモリアクセスの競合を制御する方式として、例えば、特開平1-248261号公報に記載されているように、ある制御装置がメモリアクセス中に他方の制御装置がアクセスしてきた場合、アクセス情報をFIFOに入れ、調停回路がアクセス権を獲得後、FIFOからのデータを書き込むようにしたものがある。

【0003】 図4は、従来のメモリ制御装置の一例を示すブロック図である。図中、1は第1の制御装置、2は第2の制御装置、9はセクタ、10はメモリ装置、11は調停回路、12、13はFIFO装置である。第1の制御装置1および第2の制御装置2は、ともにメモリ装置10にアクセスする。第1の制御装置1では、アドレスバス、データバスがセクタ9に、また、メモリ制御信号が調停回路11に接続されている。また、第2の制御装置2では、アドレスバスはFIFO装置12を介して、またデータバスはFIFO装置13を介してセクタ9に接続され、メモリ制御信号は調停回路11に接続されている。調停回路11から出力されるメモリ制御信号がセクタ9を介してメモリ装置10に供給される。セクタ9は、第1の制御装置1のアドレスバスおよびデータバスと、第2の制御装置2のアドレスバスおよびデータバスを選択的に切り換え、メモリ装置10に供給している。

【0004】 このようなメモリ制御装置において、第1の制御装置1がメモリ装置10にアクセスを行なっている間に、第2の制御装置2がメモリ装置10にアクセスしようとした場合、調停回路11がこれを検出して第2の制御装置2のアドレスバス上のアドレスをFIFO装置12に、また書き込みの場合にはデータバス上のデータをFIFO装置13にそれぞれ格納する。そして、第1の制御装置1によるアクセス終了後、FIFO装置12、13に格納されていたアドレスおよびデータをメモリ装置10に送出してメモリアクセスを行なう。

【0005】 このように、FIFO装置12、13を用いることによって、第1の制御装置1と第2の制御装置2の競合を制御することができる。しかしながら、この構成では、データとアドレスをFIFOに格納するため、大規模な容量のFIFOが必要であるという欠点があった。

【0006】 また、RASアドレスとCASアドレスによってメモリをアクセスするメモリ制御装置において、競合時にはRASアドレス出力後にウェイトをかけるものがある。このようなメモリ制御装置においては、ウェイトによって出力済みのRASアドレスが失われるため、ウェイトのかかったアクセスサイクルを終了後、再度同じアクセスサイクルを繰り返す必要があった。そのため、複雑な制御が必要となり、また時間的なロスも大

きいという問題があった。

【0007】

【発明が解決しようとする課題】本発明は、上述した事情に鑑みてなされたもので、比較的小規模のラッチ容量で、メモリアクセス競合時でもメモリの読み出し、書き込みとともに迅速なメモリアクセスを行なうことのできるメモリ制御装置を提供することを目的とするものである。

【0008】

【課題を解決するための手段】請求項1に記載の発明は、第1の制御装置と、第2の制御装置と、前記第1の制御装置と前記第2の制御装置により共有される共有メモリ装置と、前記第1および第2の制御装置からの前記共有メモリ装置へのアクセス信号に応じて前記共有メモリ装置のアクセス使用権を制御する調停手段を備えたメモリ制御装置において、前記調停手段は、前記第1の制御装置が前記共有メモリ装置をアクセス中に前記第2の制御装置からメモリアクセス信号が入力されると前記第2の制御装置から送られるアドレスをラッチするラッチ手段と、前記第1の制御装置が前記共有メモリ装置をアクセス中に前記第2の制御装置からアクセス信号が入力されると前記第1の制御装置がアクセス中は前記第2の制御装置に対してウェイトをかけるとともに前記第1の制御装置のアクセス終了後に前記ラッチ手段から前記共有メモリ装置にアドレスを出力し前記第2の制御装置のウェイトを解除する制御手段を有することを特徴とするものである。

【0009】請求項2に記載の発明は、請求項1に記載のメモリ制御装置において、前記共有メモリ装置はDRAMで構成されており、前記第2の制御装置は、前記第1の制御装置に対して優先度の高い前記共有メモリ装置のアクセス使用権を有し、前記調停装置は、前記第2の制御装置が前記共有メモリ装置をアクセスしていないときに前記第1の制御装置のアクセス使用を許可するとともに、前記第1の制御装置が前記共有メモリ装置をアクセスしているときに前記第2の制御装置がアクセスすると前記第1の制御装置のアクセスを終了させるとともに、前記第2の制御装置による前記共有メモリ装置のリードもしくはライトまたはリフレッシュを行なうことを特徴とするものである。

【0010】請求項3に記載の発明は、請求項1または2に記載のメモリ制御装置において、前記共有メモリ装置は、アドレスとしてRASアドレスおよびCASアドレスを用いてアクセスされるものであり、前記ラッチ手段は前記RASアドレスをラッチすることを特徴とするものである。

【0011】請求項4に記載の発明は、請求項3に記載のメモリ制御装置において、前記調停装置は、前記第1の制御装置が前記共有メモリ装置をアクセス中に前記第2の制御装置からメモリアクセス信号が入力すると前記

第2の制御装置から送られるRAS信号およびCAS信号の状態を検知する検知手段と、前記第1の制御装置のアクセス終了後にリフレッシュ時またはリードもしくはライト時に適応したRAS信号およびCAS信号の切り換えを調整する信号切り換え調整手段を有することを特徴とするものである。

【0012】

【発明の実施の形態】図1は、本発明のメモリ制御装置の実施の一形態を示すブロック図である。図中、1は第1の制御装置、2は第2の制御装置、3はアクセス検知回路、4はウェイト発生回路、5はラッチ制御回路、6はRAS、CAS検知回路、7はRAS、CAS切換調整回路、8はラッチ回路、9はセクタ、10はメモリ装置である。この例では、第1の制御装置1と第2の制御装置2とがメモリ装置10にアクセスするものとし、第1の制御装置1よりも第2の制御装置2の方が、メモリ装置10に対するアクセスの優先順位が高いとする。

【0013】メモリ装置10は、例えばDRAM等によって構成されており、RASアドレスおよびCASアドレスを用いてアクセスが行なわれる。メモリ装置10には、メモリアドレス信号とともに、RASアドレスおよびCASアドレスをラッチするために用いられるRAS信号およびCAS信号、書き込みを指示するWE信号（ライトイネーブル信号）、読み出しを指示するOE信号（アウトプットイネーブル信号）が入力される。書き込み時には、WE信号とともに入力されるRASアドレス、CASアドレスに従って、データバス上のデータを書き込む。また、読み出し時には、OE信号とともに入力されるRASアドレス、CASアドレスに従って、データバス上にデータを送出する。なお、メモリのアクセス時には、ここではRASアドレスに続けてCASアドレスを与えるものとし、RAS信号をイネーブルにした後にCAS信号をイネーブルにする（RASビフォアCAS）。逆にCAS信号をイネーブルにした後にRAS信号をイネーブルにする（CASビフォアRAS）の場合には、DRAMのリフレッシュを行なうものとする。

【0014】第1の制御装置1は、メモリアドレス1信号、RAS1信号、CAS1信号、WE1信号、OE1信号を出力し、メモリ装置10へのアクセスを行なう。これらの信号はセクタ9に入力される。データの書き込み時には、データバス上にデータを送出し、読み出し時にはデータバス上のデータを取り込む。第1の制御装置1は、アクセス検知回路3からのアクセス許可信号を受け取り、アクセスが許可されている場合にメモリ装置10へのアクセスを行なう。メモリ装置10へアクセスを行なう際には、チップセレクト信号であるCS1信号をアクセス検知回路3およびウェイト発生回路4へ出力して、メモリ装置10へのアクセスを宣言する。

【0015】第2の制御装置2は、メモリアドレス2信号、RAS2信号、CAS2信号、WE2信号、OE2

信号を出力し、メモリ装置10へのアクセスを行なう。メモリアドレス2信号はラッチ回路8とアクセス検知回路3に、RAS2信号、CAS2信号、WE2信号、OE2信号はRAS、CAS検知回路6に入力される。データの書き込み時には、データバス上にデータを送出し、読み出し時にはデータバス上のデータを取り込む。第2の制御装置2は、ウエイト発生回路からのウエイト信号を受け取る。第2の制御装置2は任意のタイミングにおいてメモリ装置10をアクセスするが、このウエイト信号が入力されると、メモリ装置10へのアクセスを待つ。

【0016】アクセス検知回路3は、第2の制御装置2のメモリアドレス2信号を監視し、第2の制御装置2がメモリ装置10をアクセスするのを検知する。第2の制御装置2がメモリ装置10をアクセスしていないとき、第1の制御装置1に対してアクセス許可信号を送出する。また、第1の制御装置1からのCS1信号を受け取って、第1の制御装置1がメモリ装置10をアクセスしていることを検知する。第1の制御装置1がCS1信号を送出してメモリ装置10をアクセスしている間に、第2の制御装置2がメモリ装置10をアクセスしようとしてメモリアドレス2信号を送出すると、アクセス検知回路3はこれを検知し、ウエイト発生回路4に対してその旨を通知する。

【0017】ウエイト発生回路4は、第1の制御装置1からのCS1信号を受け取って、第1の制御装置1におけるメモリ装置10のアクセスの状態を把握するとともに、アクセス検知回路3で第1の制御装置1のメモリ装置10へのアクセス中に第2の制御装置2がメモリ装置10へアクセスしたとき、第2の制御装置2へウエイト信号を送出するとともに、ラッチ制御回路5に対して、メモリアドレス2信号のラッチを指示する。さらに、ウエイト発生回路4は、第2の制御装置2をウエイトさせた後、そのウエイトを解除するタイミングを制御する。

【0018】ラッチ制御回路5は、ウエイト発生回路4からの指示に従い、ラッチ回路8に対してラッチ信号を送出する。ラッチ回路8は、ラッチ制御回路5の指示に従い、メモリアドレス2信号をラッチする。

【0019】RAS、CAS検知回路6は、第2の制御装置2が上述のRASビフォアCASか、CASビフォアRASのどちらの制御を行なったかを検知する。そして、検知した結果を切換信号として、RAS2信号、CAS2信号、WE2信号、OE2信号等とともにRAS、CAS切換調整回路7に送出する。

【0020】RAS、CAS切換調整回路7は、主にウエイト後のRAS2信号、CAS2信号のタイミングを調整する。調整後のRAS2信号、CAS2信号、WE2信号、OE2信号を、RAS2a信号、CAS2a信号、WE2a信号、OE2a信号としてセクタ9に送出する。

【0021】セクタ9は、第1の制御装置1から出力されるメモリアドレス1信号、RAS1信号、CAS1信号、WE1信号、OE1信号と、ラッチ回路から出力されるメモリアドレス2信号およびRAS、CAS切換調整回路7から出力されるRAS2a信号、CAS2a信号、WE2a信号、OE2a信号のどちらかを選択的に切り換え、メモリアドレス信号、RAS信号、CAS信号、WE信号、OE信号としてメモリ装置10に送出する。

【0022】次に、本発明のメモリ制御装置の実施の一形態における動作の一例について説明する。まず、第2の制御装置2がメモリ装置10をアクセスしていないときには、アクセス検知回路3は第1の制御装置1にアクセス許可信号を発信する。その許可信号を受けて、第1の制御装置1はCS1信号をアクセス検知回路3およびウエイト発生回路4に送出するとともに、メモリ装置10をアクセスする。

【0023】また、第2の制御装置2は、メモリ装置10へのアクセスが必要になった時点でメモリ装置10のアクセスを行なう。第1の制御装置1がメモリ装置10にアクセスしていなければ、そのまま第2の制御装置2がメモリ装置10をアクセスする。

【0024】第2のメモリ装置2がメモリ装置10にアクセスしている間は、アクセス検知回路3がこれを検知し、第1の制御装置1にアクセス許可信号を送出しない。そのため、第2のメモリ装置2がメモリ装置10をアクセスしている間に第1の制御装置1がメモリ装置10をアクセスすることはない。

【0025】次に、第1の制御装置1がメモリ装置10をアクセス中に、第2の制御装置2がメモリ装置10をアクセスしてきたときについて説明する。図2は、本発明のメモリ制御装置の実施の一形態において第1の制御装置のアクセス中に第2の制御装置がアクセスしたときの動作の一例を示すタイミングチャートである。ここでは、第1の制御装置1と第2の制御装置2とが、図2

(A)に示す同じクロックを用いて動作しているものとする。また、図2に示した例では、メモリ装置10のアクセスは3クロックを要し、1クロック目でRASアドレスを、2クロック目でCASアドレスを3クロック目でデータの書き込みまたは読み出しを行なうものとする。なお、各制御信号は、Lレベルでアクティブであるものとする。

【0026】第1の制御装置1は、アクセス検知回路3からのアクセス許可信号によりメモリ装置10をアクセス可能であることをチェックし、図2(B)に示すCS1信号をアクティブにして、アクセス検知回路3およびウエイト発生回路4にメモリ装置10の使用を知らせる。その後、図2(E)に示すようにRAS1アドレスをメモリアドレス1信号として送出して図2(C)に示すRAS1信号をアクティブにし、その後、CAS1ア

ドレスをメモリアドレス1信号として送出して図2 (D) に示すCAS1信号をアクティブにする。これによりRASアドレスとCASアドレスが確定し、読み出しの場合には図2 (F) に示すようにデータ1がメモリ装置10から出力される。書き込みの場合には、図2 (F) に示すようにデータ1をメモリ装置10へ送る。読み出し、書き込みの切換は、WE1信号、OE1信号によって行なわれるが、図2では省略している。

【0027】この第1の制御装置1によるメモリ装置10のアクセスの間中は、第1の制御装置1からの信号をセクタ9が選択するように、図2 (M) に示すようにアクセス切り換え信号がセクタ9に入力される。これにより、図2 (S), (T), (U) に示すように、RAS1信号、CAS1信号、メモリアドレス1信号が選択されて、メモリ装置10に供給される。例えば、アクセスが読み出しの場合、図2 (V) に示すように、メモリ装置10からデータ1が出力される。

【0028】第1の制御装置1がメモリアクセス中に、第2の制御装置2がメモリ装置10をアクセスする。ここでは第1の制御装置1のアクセスの2クロック目で第2の制御装置2がアクセスを開始する。第2の制御装置2は、図2 (I) に示すようにメモリアドレス2信号としてRAS2アドレスを送出するとともに、図2 (G) に示すようにRAS2信号をアクティブにする。アクセス検知回路3では、RASアドレスの送出を検知して、第2の制御装置2がメモリ装置10のアクセスを開始したことを知る。この場合、第1の制御装置1からCS1信号が送出されているので、第1の制御装置1のアクセス中に第2の制御装置2のアクセスが行なわれたことがわかる。するとアクセス検知回路3は、ウェイト発生回路4およびRAS、CAS検知回路6にアクセスが競合した旨を通知する。ウェイト発生回路4は、第2の制御装置2に対して図2 (K) に示すウェイト信号を発生するとともに、ラッチ制御回路5に対してラッチを指示する。ラッチ制御回路5は、ラッチ回路8に対してラッチ信号を送出し、メモリアドレス2信号として出力されているRAS2信号をラッチ回路8でラッチする。これにより、図2 (L) に示すように、RAS2アドレスがラッチ回路8にラッチされる。

【0029】第2の制御装置2は、ウェイト発生回路4からウェイト信号を受けると、CAS2アドレスをメモリアドレス2信号として出力し、CAS2信号をアクティブにした後に、この状態で停止する。そのため、RAS2信号、CAS2信号は、図2 (G), (H) に示すようにアクティブの状態で保持され、また、メモリアドレス2信号は図2 (J) に示すようにCAS2アドレスのまま保持される。このとき、先に出力されたRAS1アドレスは、ラッチ回路8に保持されている。

【0030】また、第1の制御装置1のアクセス中に第2の制御装置2がアクセスしたことは、RAS、CAS

検知回路6にも伝えられており、RAS、CAS検知回路6はこれをRAS、CAS切換調整回路7に送るとともに、RAS2信号の後にCAS2信号がアクティブになったことを検知してこれもRAS、CAS切換調整回路7に送る。RAS、CAS切換調整回路7は、RAS2a信号、CAS2a信号を図2 (N), (O) に示す信号でインアクティブに保持する。この図2 (N), (O) に示すRAS2切換信号、CAS2切換信号は、Lレベルの間ではRAS2信号およびCAS2信号はインアクティブにマスクされる。この切換信号がHレベルの間は、第2の制御装置2が発信しているRAS2信号およびCAS2信号をスルーにする。これによって発生した信号がRAS2a信号およびCAS2a信号である。

【0031】第1の制御装置1によるメモリ装置10のアクセスが終了後、セクタ9は図2 (M) に示すようにメモリアクセス権を第1の制御装置1から第2の制御装置2に切り換える。第2の制御装置2によってメモリ装置10をアクセスするためには、RAS2信号、CAS1信号などを、所定のタイミングで制御する必要があるが、第2の制御装置2では既にRAS2信号、CAS2信号はアクティブになっている。そのため、RAS、CAS切換調整回路7がこれらの制御信号を調整してメモリ装置10に送出する。すなわち、図2 (N) に示すように、RAS2切換信号を、RAS2信号をアクティブにするタイミングでマスクを解除してスルーに切り換える。これにより、図2 (Q) に示すRAS2a信号が生成され、図2 (S) に示すようにメモリ装置10にRAS2信号が供給される。また、図2 (O) に示すように、CAS2切換信号を、CAS2信号をアクティブにするタイミングでマスクを解除してスルーに切り換える。これにより、図2 (R) に示すCAS2a信号が生成され、図2 (T) に示すようにメモリ装置10にCAS2信号が供給される。

【0032】さらに、メモリアドレス信号としてはセクタ9が第2の制御装置2側に切り替わった時点で、図2 (L) に示すようにラッチ回路8にラッチされているRAS2アドレスが送出されている。ラッチ制御回路4は、図2 (P) に示すように、ラッチ回路8に対してCAS2アドレスが送出されるタイミングでラッチ出力からスルーへと切り換える。この図2 (P) に示すラッチアドレス切換信号は、Lレベルでメモリアドレス2信号をラッチ回路8にラッチさせてラッチしたデータを出力させ、Hレベルでメモリアドレス2信号をスルーにする。これによって、図2 (U) に示すように、第2の制御装置2から出力されているCAS2アドレスがメモリアドレス信号としてメモリ装置10に送出される。これにより、例えば読み出しであれば図2 (V) に示すように、データ2が読み出される。

【0033】第2の制御装置2は、ウェイト発生回路4

からのウエイト信号によって、第2の制御装置2がアクセスを開始してから第1の制御装置1のアクセスが終了するまでの時間だけ、停止している。そのため、ウエイト解除後は、第1の制御装置1によるアクセスが終了した後にアクセスを開始した場合と同様のタイミングで動作を再開し、メモリ装置10のアクセスを終了する。

【0034】このようにして、第1の制御装置1がメモリ装置10にアクセス中に第2の制御装置2がアクセスしようとした場合、RAS2アドレスをラッチ回路8でラッチしておき、RAS2信号、CAS2信号、メモリアドレス2信号のタイミングを調整するだけで、競合したアクセスを順に行なうことができる。このとき、メモリ装置10の側からみると第1の制御装置1のアクセスが終了後、すぐに第2の制御装置2がアクセスする状態になる。そのため、システム動作上、ほとんどリアルタイムに第2の制御装置のアクセスが可能である。このように第2の制御装置2を停止させる時間は最小限に抑えられ、高速なアクセスを実現することができる。また、第2の制御装置2は、単にウエイトするだけであって、RAS2アドレスの送出からやり直す必要はないので、このような競合時の制御を第2の制御装置2で行なう必要はない。

【0035】図2では、第2の制御装置2がメモリ装置10に対して書き込みあるいは読み出しを行なう場合について説明した。今度は、第2の制御装置2がメモリ装置10のリフレッシュを行なう場合について説明する。この場合のメモリ装置10はDRAMである。リフレッシュを行なうには、上述のように、CAS信号をアクティブにした後、RAS信号をアクティブにすればよい(CASビフォアRAS)。リフレッシュにおいては、メモリアドレス信号は必要ない。

【0036】第1の制御装置1、第2の制御装置2が単独でメモリ装置10にアクセスする場合には、何も支障なくアクセスを行なうことができる。また、第2の制御装置2によるリフレッシュ中に第1の制御装置1でアクセス要求が発生しても、アクセス許可信号が送出されていないのでアクセスは開始せずに待たされる。第1の制御装置1においてメモリ装置10にアクセスしている間に、第2の制御装置2がリフレッシュ動作を開始した場合、第2の制御装置2をウエイトさせるとともに、第1の制御装置1のアクセス終了後のRAS信号、CAS信号の調整が必要となる。

【0037】図3は、本発明のメモリ制御装置の実施の一形態において第1の制御装置のアクセス中に第2の制御装置がリフレッシュを行なうときの動作の一例を示すタイミングチャートである。第1の制御装置1のタイミングについては、図2に示した例と同じである。2クロック目において、第2の制御装置2がリフレッシュを開始したものとする。

【0038】第2の制御装置2は、リフレッシュを行な

うべく、図3(H)に示すようにCAS2信号をアクティブにし、続いて図3(G)に示すようにRAS2信号をアクティブにする。RAS、CAS検知回路6では、CAS2信号の後にRAS2信号がアクティブになったことを検知し、RAS、CAS切換調整回路7に伝える。また、RAS、CAS検知回路6はアクセス検知回路3から第1の制御装置1がメモリ装置10にアクセス中であることを知り、これもRAS、CAS切換調整回路7に伝える。

【0039】RAS、CAS切換調整回路7は、RAS、CAS検知回路6から第2の制御装置2によるアクセスがリフレッシュであることを認識し、第1の制御装置1によるアクセス終了後のRAS2信号およびCAS2信号のタイミング調整を行なう。まず第1の制御装置1のアクセス中は、図3(K)、(L)に示すRAS2切換信号、CAS2切換信号によって、アクティブになっているRAS2信号、CAS2信号はマスクされ、RAS2a信号、CAS2a信号はインアクティブの状態に保持される。

【0040】図3(L)に示すCAS2切換信号によって、第1の制御装置1のアクセス終了後CAS2信号を送出するまでの間、CAS2信号はさらにマスクされ、CAS2信号の送出のタイミングでスルーに切り換える。これにより、図3(N)に示すようにCAS2a信号が出力され、図3(P)に示すようにCAS信号がメモリ装置10に与えられる。また、RAS2信号は図3(K)に示すRAS2切換信号によって所定のタイミングまでマスクされ、CAS2信号送出後、スルーに切り換えられる。これにより、図3(M)に示すようにRAS2a信号が出力され、図3(O)に示すようにRAS信号がメモリ装置10に与えられる。このようにして、メモリ装置10はCAS信号の後にRAS信号を受け取り、リフレッシュの動作を行なう。

【0041】この場合にも、上述の例と同様に、第1の制御装置1のアクセスが終了後、すぐに第2の制御装置2によるアクセスを行なうことができ、高速な動作が可能である。さらに、第2の制御装置2がメモリ装置10に対して書き込みあるいは読み出しと、リフレッシュの動作制御を行なう場合であっても、適切なタイミング制御を行なうので、何等支障なくメモリ装置10に対するアクセスを行なうことができる。

【0042】なお、上述の例ではメモリ装置10がDRAMの場合を示したが、本発明はこれに限らず、種々の記憶装置において適用することができる。例えば、メモリ装置10としてSRAMを用いた場合には、上述のデータの書き込みおよび読み出しについて、本発明を適用することができる。

【0043】

【発明の効果】以上の説明から明らかなように、本発明によれば、比較的小規模の容量のラッチのみで、メモリ

アクセス競合時でもメモリのリード、ライトおよびリフレッシュともに、迅速なメモリアクセスを行なうことができるという効果がある。

【図面の簡単な説明】

【図1】 本発明のメモリ制御装置の実施の一形態を示すブロック図である。

【図2】 本発明のメモリ制御装置の実施の一形態において第1の制御装置のアクセス中に第2の制御装置がアクセスしたときの動作の一例を示すタイミングチャートである。

【図3】 本発明のメモリ制御装置の実施の一形態にお

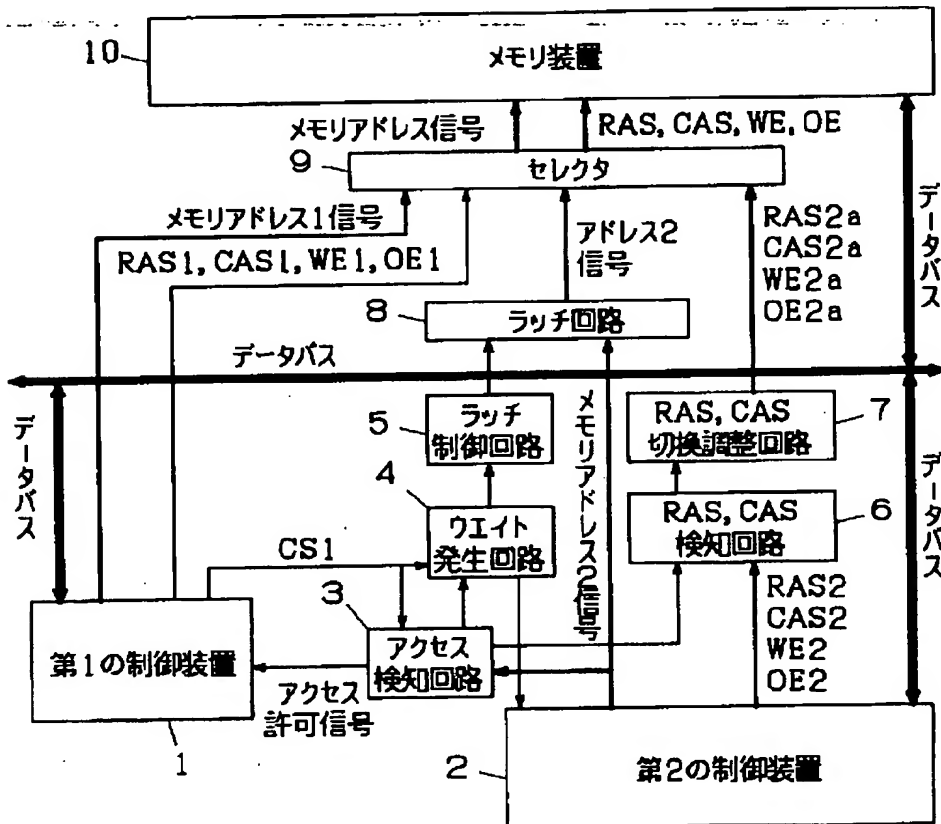
いて第1の制御装置のアクセス中に第2の制御装置がリフレッシュを行なうときの動作の一例を示すタイミングチャートである。

【図4】 従来のメモリ制御装置の一例を示すブロック図である。

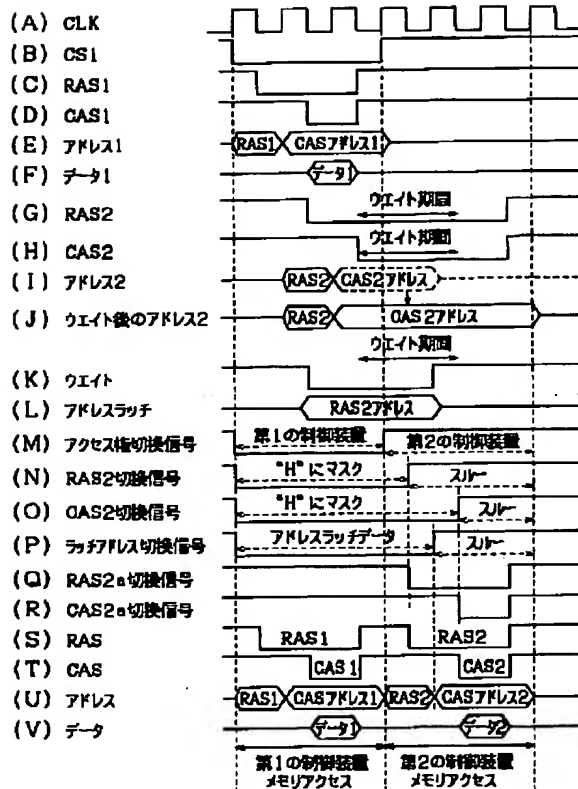
【符号の説明】

1…第1の制御装置、2…第2の制御装置、3…アクセス検知回路、4…ウエイト発生回路、5…ラッチ制御回路、6…RAS, CAS検知回路、7…RAS, CAS切換調整回路、8…ラッチ回路、9…セクタ、10…メモリ装置。

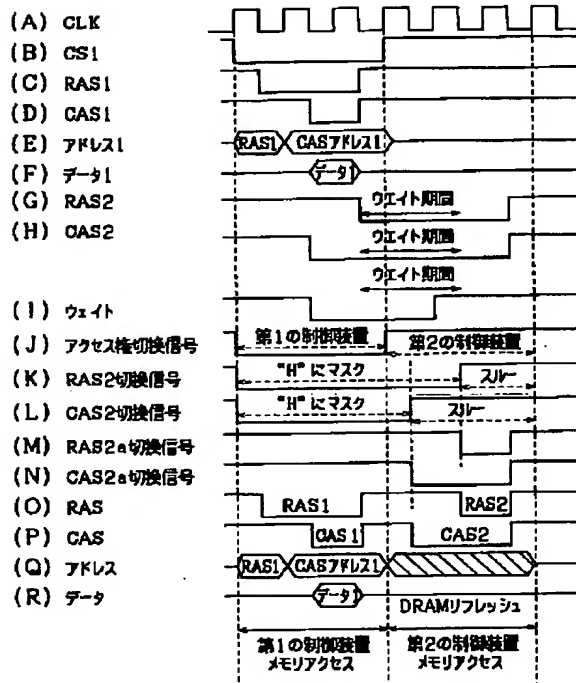
【図1】



【図2】



【図3】



(9)

特開平9-198298

【図4】

